

JP360158421A

L3: 26 of 32

ABSTRACT:

PURPOSE: To enable stable operation without generation of ruggedness on the rear of the lower glass substrate of a matrix liquid crystal display device using a thin film transistor by providing a transparent conductive film on the rear of said substrate.

CONSTITUTION: A transparent film 32 consisting of tin oxide is first provided on the rear of a glass substrate 18 of a matrix liquid crystal display device using the substrate 18, a gate electrode 19, a gate insulating layer 20, a semiconductor layer 21, a source 22, a drain 23, a source electrode 24, a drain electrode 25, an inter-layer insulating film 26, a light shielding film 27, liquid crystal driving electrodes 28, 30, a glass substrate 29 and a liquid crystal layer 31. Since  $\text{SnO}_2$  has corrosion resistance to hydrofluoric acid, etc., generation of ruggedness on the rear of the substrate 18 is obviated and the electrical noise from the outside and static electricity are prevented. Stable operation is thus made possible.

COPYRIGHT: (C)1985,JPO&Japio

④Int. Cl.

G 02 F 1/133  
G 09 F 9/00

発明記号

118

庁内整理番号

Z-8205-211  
6731-5C

④公開 昭和35年(1965)8月19日

審査請求 未請求 発明の数 1 (全3頁)

④発明の名称 マトリクス液晶表示装置

④特 願 昭59-14056

④出 願 昭59(1924)1月28日

④発 明 者 山 崎 恒 夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内

④出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

④代 理 人 弁理士 最 上 務

## 明 記 書

1. 発明の名称 マトリクス液晶表示装置

2. 特許請求の範囲

(1) 透明絶縁性基板の上に、電極トランジスタを二次元のマトリクス状に配列した第一の板と、透明絶縁性基板の一主面上に第一の透明導電膜を設けた第二の板をそれぞれ、前記電極トランジスタを配列した面と透明導電膜のある面を向かい合わせ、その間に液晶層を挟持したマトリクス液晶表示装置において、前記第一の板の液晶層と接する面と反対側の面に、第二の透明導電膜を設けたことを特徴とするマトリクス液晶表示装置。

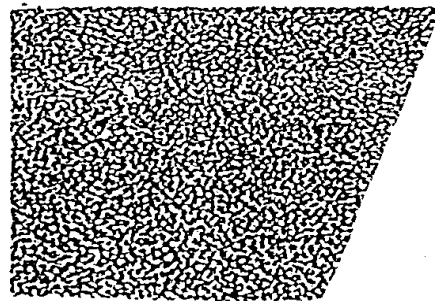
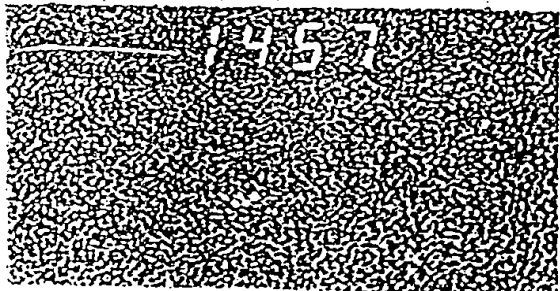
(2) 第二の透明導電膜は二酸化メスよりなることを特徴とする特許請求の範囲第一項記載のマトリクス液晶表示装置。

(3) 電極トランジスタは、非晶シリコンの絶縁ゲート型電界効果トランジスタであることを特徴とする特許請求の範囲第一項記載のマトリクス液晶表示装置。

3. 発明の詳細な説明

本発明は液晶と電極トランジスタを組み合わせたことにより構成されるマトリクス液晶表示装置に関するものであり、透明導電膜を電極トランジスタを設けた基板の裏面に設けることにより、外部ノイズを遮断し、安定な動作を図ることを目的とする。

液晶と電極トランジスタを組み合わせて構成される液晶表示装置の等価回路の一例を図1図で示す。単位画素は、絶縁ゲート型電界効果トランジスタである電極トランジスタ1、蓄積用コンデンサ2と液晶セル3からなる。画素表示回路としての動作原理は以下のとおりである。例えば、入力端子にゲート信号が印加されて両方向性の電極トランジスタ1がONになると映像信号は入力端子からトランジスタ1を流れてコンデンサ2を充電する。ゲート信号が消滅してトランジスタ1がOFFしてもコンデンサ2に充電された電荷が液晶セル3に電圧を印加し続けるので、液晶セル3を通じて映像信号により電圧を受け続けること



もよみさせ、両方向に電界を発生し、マトリクスと対向する透明電極の間に電圧を印加する。第2図は、薄膜トランジスタを用いた従来のマトリクス液晶表示装置の単位画素の断面を示す図である。ガラス基板4の上には、ゲート電極5、ゲート絶縁層6、半導体層7、ソース8、ドレイン9、ソース電極10、ドレイン電極11、透明絶縁層12、透明電極13からなる薄膜トランジスタと、透明電極からなる液晶駆動電極14が形成されている。ガラス基板4と対向するガラス基板15の上には、透明電極からなる、液晶駆動用共通電極16が形成されており、ガラス基板4と15の間には液晶層17が充填されている。液晶層17に、電圧14と16の間で電圧を加えることにより、表示が可能となる。ここで、ガラス基板4、15を含む偏光板は図から省いてあるが、液

晶はPVCなどの形成される非晶質シリコンが、ソース8、ドレイン9としてはPVCなどで形成されるドーパされたアモルファスシリコンが、ソース電極10、ドレイン電極11としてはアルミニウムが、層間絶縁層12としてはPVCなどで形成された酸化シリコン、窒化シリコンなどが、トランジスタのチャネル電界を防ぐ、透明電極13はタングステンなどで形成される。透明電極14、16はITO（インジウム、スズの化合物）などで形成される。以上各5～15の各層の厚さは、典型的には、0.5μm～1μm程度である。液晶層17は5μm～15μmの厚さが普通用いられる。単位画素の平面密度としては、50μm～1000μm程度のマトリクス、コネクタが用いられ、典型的な値は～200μmである。第2図の従来の断面では

、第1図の単位画素でのキャパシタンス2は、液晶駆動電圧14と16の間に形成されており、1pFである。第2図の従来の断面の動作は、ゲート電極5に電圧が印加されると、半導体層7の界面にチャンネルが形成されて、ソース電極10から駆動電圧をドレイン電極11を介して、液晶駆動電極14に電圧が印加される。

以上に説明した、従来の薄膜トランジスタを用いたマトリクス液晶表示パネルは以下の欠点を有する。第1

(1) ガラス基板4の表面は、粗糙面であるので外光の反射的損失の影響を受け易い。特に各画素のキャパシタンスは～0.1pFなので、ガラス基板4の表面の静電界、電圧などで、電極14の電位が変動し、画素の画質も変動を受ける。特に液晶駆動電極14が基板4の近くにあると、その変動の影響を受け易い。

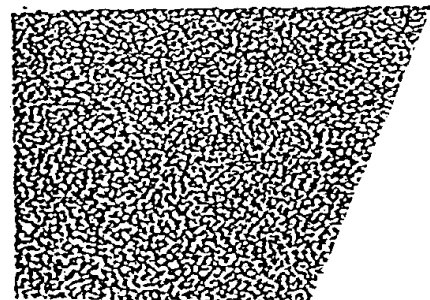
(2) ガラス基板4の上に薄膜トランジスタを形成する工程中、全体が絶縁体であるため、静電界を受け易く、ナリ、ホコリ等が基板表面に集まり、

欠陥の原因となる。

(3) 同じく、ガラス基板の上に薄膜トランジスタを形成する工程中では、ガラス基板4の表面は、画素にも及びフック等の突起による損傷を受ける。このため、ガラス基板4の表面には、強靱な凹凸が生じ、表示装置として用いるには見苦しいものとなる。

本発明は、上記のような従来の欠点を除去するためになされたものであり、欠陥が無く、安定に動作する。薄膜トランジスタを用いたマトリクス液晶表示装置を提供することを目的としたものである。以下具体的な実施例をもとに説明する。

第3図は、本発明の一実施例を示す図であり、第2図と同様、薄膜トランジスタを用いたマトリクス液晶表示装置の単位画素の断面を示す図である。透明電極14がガラス基板15の表面に形成されている以外は第2図と同様の構成である。即ち、第3図の断面も、ガラス基板15、ゲート電極19、ゲート絶縁層20、半導体層21、ソース22、ドレイン23、ソース電極24、ドレイン電極25、透明電



メ中に静電気が基板に発生することを防ぐことができる。更に、 $\theta = 0$  はフツ設等に対する耐食性は充分にあるのでプロセス中での腐食に耐えることができ、ガラス基板18の裏面に凹凸ができることはない。更に、第3図のごとく完成した装置においても裏面に静電層32があることにより外來の電氣的雑音、静電気を防ぐことができる。

以上に記した本発明の、透明導電膜を基板表面に設けたマトリクス液晶表示装置は

1. 外來雑音、静電気にの影響を受けない
  2. ゴミ、ホコリ等の付着せず、欠陥が無い
  3. 腐食による、裏面の凹凸が無い
- などの特徴を有している。

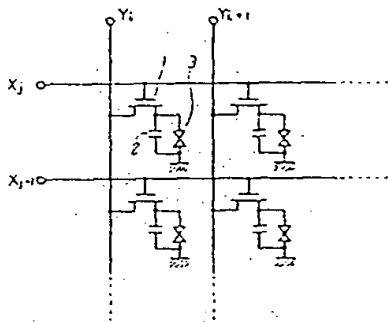
4. 図面の簡単な説明

図1の断面図である。

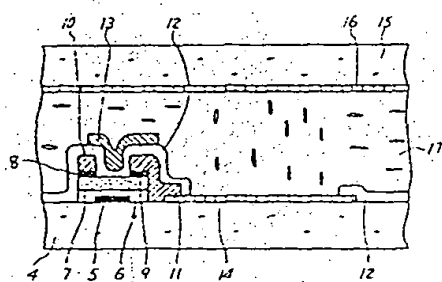
- 1... 厚膜トランジスタ、2... キャパシタンス、3... 液晶セル、4... ガラス基板、5... ゲート電極、6... ゲート絶縁層、7... 半導体層、8... ソース、9... ドレイン、10... ソース電極、11... ドレイン電極、12... 絶縁層、13... 透光層、14... 透明導電膜、15... ガラス基板、16... 透明導電膜、17... 液晶層、18... ガラス基板、19... ゲート電極、20... ゲート絶縁層、21... 半導体層、22... ソース、23... ドレイン、24... ソース電極、25... ドレイン電極、26... 絶縁層、27... 透光層、28... 透明導電膜、29... ガラス基板、30... 透明導電膜、31... 液晶層、32... 透明導電膜。
- 以上

出版人 セイコー電子工業株式会社

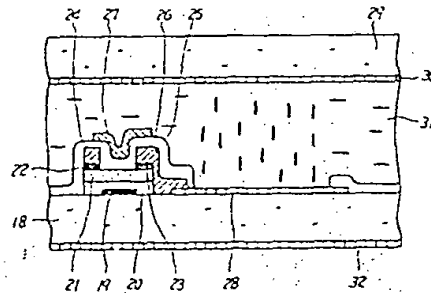
第1図



第2図



第3図



1459